

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-046079

(43)Date of publication of application : 14.02.2003

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/336
H01L 21/8238
H01L 27/092
H01L 29/43

(21)Application number : 2001-227290

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.07.2001

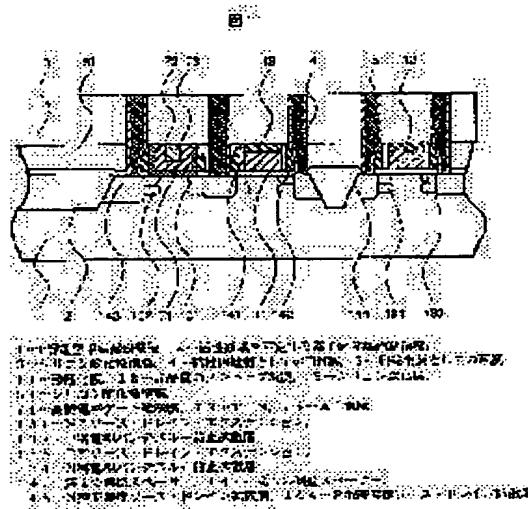
(72)Inventor : TORII KAZUNARI
TSUCHIYA RYUTA
HORIUCHI KATSUTADA
ONOUCHI YUKIHIRO

(54) SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, with which a high ON-current can be secured in an MISFET, provided with a replacement gate electrode.

SOLUTION: On a semiconductor wafer, where a first field effect transistor(FET) and a second FET are provided, and the first FET is made a replacement gate type FET. In such a semiconductor device, the length of a portion, overlapping the gate electrode and the source/drain diffusion layer in the first FET, is made equal with the length of a portion overlapping the gate electrode and the source/drain diffusion layer in the second FET.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-46079

(P2003-46079A)

(13)公開日 平成15年2月14日 (2003.2.14)

(51)Int.Cl.
 H01L 29/78
 21/28
 21/338
 21/8238
 27/082

請求記号

F1
 H01L 29/28
 29/78
 27/08
 29/68

チカート(導体)
 A 4M104
 301G 5F04B
 301P 5P140
 321D
 G

審査請求 未請求 請求項の範囲 OL (全 18 頁) 最終頁に続く

(21)出願番号 特開2001-227290 (P2001-227290)

(22)出願日 平成13年7月27日 (2001.7.27)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目 6番地

(72)発明者 鳩居 和哉

東京都国分寺市東大ヶ原一丁目280番地
株式会社日立製作所中央研究所内

(73)発明者 土屋 譲太

東京都国分寺市東大ヶ原一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100065604

弁理士 小川 駿男 (外2名)

最終頁に続く

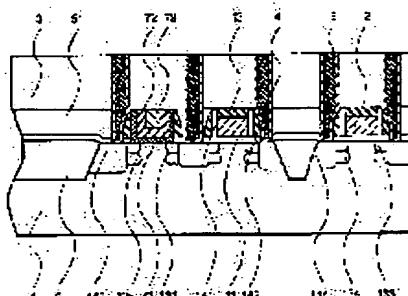
(54)【発明の名稱】 半導体装置及びその製造方法

(57)【要約】

【課題】リフレイスマントゲート電極を備えたMOSFETであって、高いオン電流を確保できる半導体装置を提供すること。

【解決手段】半導体基板上に、第1の電界効果トランジスタと第2の電界効果トランジスタを設け、第1の電界効果トランジスタを、リフレイスマント・ゲート型電界効果トランジスタとし、第1の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さを、第2の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さと同じとした半導体装置。

図1



【特許請求の範囲】

【請求項 1】リブレイスマント・ゲート型電界効果トランジスタを有する半導体装置において、上記電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さは2.0 nm以上であり、かつ、チャネル長の1/2より5 nm以上短いことを特徴とする半導体装置。

【請求項 2】上記ゲート絶縁膜は、高誘電率ゲート絶縁膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】半導体基板上に設けられたゲート絶縁膜と、該ゲート絶縁膜上に設けられたゲート電極を含む電界効果トランジスタを有する半導体装置において、上記ゲート電極の側壁に設けられた絶縁膜は、上記ゲート絶縁膜に接続し、かつ、同じ材料からなる第1の絶縁膜を有し、上記ゲート電極とソース・ドレイン拡散層の重なり部分の長さは2.0 nm以上であり、かつ、チャネル長の1/2より5 nm以上短いことを特徴とする半導体装置。

【請求項 4】上記ゲート絶縁膜は、高誘電率ゲート絶縁膜であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】半導体基板上に、第1の電界効果トランジスタと第2の電界効果トランジスタを有する半導体装置において、上記第1の電界効果トランジスタのゲート電極は、その側壁に、ゲート絶縁膜に接続し、かつ、同じ材料からなる第1の絶縁膜を有し、上記第2の電界効果トランジスタのゲート電極は、その側壁に第2の絶縁膜を有し、上記第1の絶縁膜の膜厚は、上記第2の絶縁膜の膜厚と実質的に同じ厚さであることを特徴とする半導体装置。

【請求項 6】上記第1の電界効果トランジスタのゲート絶縁膜は、高誘電率ゲート絶縁膜であることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】上記第1及び第2の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の

長さは、それぞれ2.0 nm以上であり、かつ、チャネル長の1/2より5 nm以上短いことを特徴とする請求項 5 記載の半導体装置。

【請求項 8】上記第1の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さは、上記第2の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さと同じであることを特徴とする請求項 5 記載の半導体装置。

【請求項 9】半導体基板上に、第1の電界効果トランジスタと第2の電界効果トランジスタを有する半導体装置において、上記第1の電界効果トランジスタは、リブレイスマント・ゲート型電界効果トランジスタであり、上記第1の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さは、上記第2の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さと同じであることを特徴とする半導体装置。

【請求項 10】半導体基板上に、第1の電界効果トランジスタと第2の電界効果トランジスタを有する半導体装置において、上記第1の電界効果トランジスタのゲート電極は、その側壁に、ゲート絶縁膜に接続し、かつ、同じ材料からなる第1の絶縁膜を有し、上記第1の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さは、上記第2の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さと同じであることを特徴とする半導体装置。

【請求項 11】半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、上記ダミーゲート電極をマスクに用いて、ソース、ドレインを形成する工程と、上記ダミーゲート電極の側壁に、第1の側壁スペーサーを形成し、さらに該第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極の上面を露出させる工程と、上記ダミーゲート電極と上記第1の側壁スペーサーを除去し、側面が第2の側壁スペーサーで、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記半導体基板上に、上記溝部の底面及び側面を覆うように、上記第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内にゲート電極を埋め形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 12】上記ダミーゲート電極の材料と上記第1の側壁スペーサーの材料が同じであることを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】上記溝部内に埋め込まれたゲート電極とソース・ドレイン拡散層の重なり部分の長さは2.0 nm以上であり、かつ、チャネル長の1/2より5 nm以上短いことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 14】半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、上記ダミーゲート電極の側壁に、第1の側壁スペーサーを形成する工程と、上記ダミーゲート電極と第1の側壁スペーサーをマスクに用いて、ソース、ドレインを形成する工程と、上記第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成し、さらに該第2の側壁スペーサーの側壁に、第3の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極と第1、第2の側壁スペーサーを除去する工程と、上記第3の側壁スペーサーの側壁に、第4の側壁スペーサーを形成する工程と、上記第4の側壁スペーサーの間の部分の上記半導体基板を露出させる工程と、側面が上記第4の側壁スペーサー、

かつ、底面が上記半導体基板からなる溝部に、上記第2の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積し、該溝部の底面及び側面を覆うようする工程と、上記溝部内にゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項1-5】上記第1の側壁スペーサーと上記第4の側壁スペーサーの膜厚が実質的に同じであることを特徴とする請求項1-4記載の半導体装置の製造方法。

【請求項1-6】上記ダミーゲート電極の材料と、上記第1及び第2の側壁スペーサーの材料が同じであることを特徴とする請求項1-4記載の半導体装置の製造方法。

【請求項1-7】上記溝部内に埋め込まれたゲート電極とソース・ドレイン抵散層の重なり部分の長さは20nm以上であり、かつ、チャネル長の1/2より5nm以上短いことを特徴とする請求項1-4記載の半導体装置の製造方法。

【請求項1-8】半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、上記ダミーゲート電極をマスクに用いて、ソース・ドレインを形成する工程と、上記ダミーゲート電極の側壁に側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極の上面を露出させる工程と、上記ダミーゲート電極を除去する工程と、上記側壁スペーサーの側壁の一部を削る工程と、上記側壁スペーサーの間に部分の上記半導体基板を露出させ、側面が側壁スペーサー、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記溝部の底面及び側面を覆うように、上記側壁スペーサーの側壁の一部を削る工程により削られた上記側壁スペーサーの厚さと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内にゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項1-9】上記溝部内に埋め込まれたゲート電極とソース・ドレイン抵散層の重なり部分の長さは20nm以上であり、かつ、チャネル長の1/2より5nm以上短いことを特徴とする請求項1-8記載の半導体装置の製造方法。

【請求項2-0】半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、上記ダミーゲート電極をマスクに用いて、ソース・ドレインを形成する工程と、上記ダミーゲート電極の側壁に、第1の側壁スペーサーを形成し、さらに該第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化し、上記ダミーゲート電極の上面を露出させると共に、上記第1及び第2の側壁スペーサーの上部を削る工程と、上記ダミーゲート電極と上記第1の側壁スペー

サーを除去し、側面が第2の側壁スペーサーで、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記半導体基板上に、上記溝部の底面及び側面を覆うようう1に、上記第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内にゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2-1】上記溝部内に埋め込まれたゲート電極とソース・ドレイン抵散層の重なり部分の長さは20nm以上であり、かつ、チャネル長の1/2より5nm以上短いことを特徴とする請求項2-0記載の半導体装置の製造方法。

【請求項2-2】半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、上記ダミーゲート電極をマスクに用いて、イオン注入を斜めから行ない、ソース・ドレインを形成する工程と、上記ダミーゲート電極の側壁に、第1の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極の上面を露出させる工程と、上記ダミーゲート電極を除去し、側面が第1の側壁スペーサーで、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記半導体基板上に、上記溝部の底面及び側面を覆うように、上記第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内にゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2-3】上記溝部内に埋め込まれたゲート電極とソース・ドレイン抵散層の重なり部分の長さは20nm以上であり、かつ、チャネル長の1/2より5nm以上短いことを特徴とする請求項2-2記載の半導体装置の製造方法。

【請求項2-4】上記イオン注入は、上記半導体基板に対して垂直から10度～20度の範囲の角度で斜めに行なうことを特徴とする請求項2-2記載の半導体装置の製造方法。

【請求項2-5】半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、上記第1導電型の領域に第2のゲート電極を形成する工程と、上記ダミーゲート電極及び第2のゲート電極をマスクに用いて、ソース・ドレインを形成する工程と、上記ダミーゲート電極及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成し、さらに該第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極及び第2のゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極の上面を露出させる工程と、上記ダミーゲート電極とその側壁の上記第1の側壁

スペーサーを除去し、側面が上記第2の側壁スペーサーで、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記半導体基板上に、上記溝部の底面及び側面を覆うように、上記第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内に第1のゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2.6】上記第1及び第2のゲート電極とソース・ドレイン拡散層の重なり部分の長さは、それぞれ2.0 nm以上であり、かつ、チャネル長の1/2より5.0 nm以上短いことを特徴とする請求項2.5記載の半導体装置の製造方法。

【請求項2.7】半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、上記第1導電型の領域に第2のゲート電極を形成する工程と、上記ダミーゲート電極及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成する工程と、上記ダミーゲート電極とその第1の側壁スペーサー及び第2のゲート電極とその第1の側壁スペーサーをそれぞれマスクに用いて、ソース、ドレインを形成する工程と、上記ダミーゲート電極の第1の側壁スペーサーの側壁及び第2のゲート電極の第1の側壁スペーサーの側壁に、それぞれ第2の側壁スペーサーを形成し、さらに該第2の側壁スペーサーの側壁に、それぞれ第3の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極及び第2のゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極の上面を露出させる工程と、上記ダミーゲート電極とその側壁の第1、第2の側壁スペーサーを除去する工程と、上記ダミーゲート電極の側壁の第3の側壁スペーサーの側壁に、第4の側壁スペーサーを形成する工程と、上記第4の側壁スペーサーの間の部分の上記半導体基板を露出させる工程と、側面が上記第4の側壁スペーサー、かつ、底面が上記半導体基板からなる溝部に、上記第2の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積し、該溝部の底面及び側面を覆うようにする工程と、上記溝部内に第1のゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2.8】上記第1及び第2のゲート電極とソース・ドレイン拡散層の重なり部分の長さは、それぞれ2.0 nm以上であり、かつ、チャネル長の1/2より5.0 nm以上短いことを特徴とする請求項2.7記載の半導体装置の製造方法。

【請求項2.9】半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、上記第1導電型の領域に第2のゲート電極を形成する工程と、上記ダミーゲート電極及び第2のゲート電極をマスクに用いて、ソース、ドレインを形成する工程と、上記ダミーゲート電極及び第2のゲート電極の側壁

に、それぞれ側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極及び第2のゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極の上面を露出させる工程と、上記ダミーゲート電極を除去する工程と、上記ダミーゲート電極の側壁スペーサーの側壁の一部を削る工程と、上記ダミーゲート電極の上記側壁スペーサーの間の部分の上記半導体基板を露出させ、側面が側壁スペーサー、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記溝部の底面及び側面を覆うように、上記側壁スペーサーの側壁の一部を削る工程により削られた上記側壁スペーサーの厚さと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内に第1のゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3.0】上記第1及び第2のゲート電極とソース・ドレイン拡散層の重なり部分の長さは、それぞれ2.0 nm以上であり、かつ、チャネル長の1/2より5.0 nm以上短いことを特徴とする請求項2.9記載の半導体装置の製造方法。

【請求項3.1】半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、上記第1導電型の領域に第2のゲート電極を形成する工程と、上記ダミーゲート電極及び第2のゲート電極をマスクに用いて、ソース、ドレインを形成する工程と、上記ダミーゲート電極及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成し、さらに該第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極及び第2のゲート電極を覆うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化し、上記ダミーゲート電極の上面を露出させると共に、上記第1及び第2の側壁スペーサーの上部を削る工程と、上記ダミーゲート電極と上記第1の側壁スペーサーを除去し、側面が第2の側壁スペーサーで、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記半導体基板上に、上記溝部の底面及び側面を覆うように、上記第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内にゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3.2】上記第1及び第2のゲート電極とソース・ドレイン拡散層の重なり部分の長さは、それぞれ2.0 nm以上であり、かつ、チャネル長の1/2より5.0 nm以上短いことを特徴とする請求項3.1記載の半導体装置の製造方法。

【請求項3.3】半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、上記第1導電型の領域に第2のゲート電極を形成す

る工程と、上記ダミーゲート電極及び第2のゲート電極をそれぞれマスクに用いて、イオン注入を斜めから行ない、ソース、ドレインを形成する工程と、上記ダミーゲート電極の側壁及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成する工程と、上記半導体基板上に、上記ダミーゲート電極及び第2のゲート電極を積うように層間絶縁膜を形成する工程と、上記層間絶縁膜の上面を平坦化する工程と、上記ダミーゲート電極の上面を露出させる工程と、上記ダミーゲート電極を除去し、側面が上記ダミーゲート電極の側壁の第1の側壁スペーサーで、かつ、底面が上記半導体基板からなる溝部を形成する工程と、上記半導体基板上に、上記溝部の底面及び側面を積うように、上記第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、上記溝部内に第1のゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3・4】上記第1及び第2のゲート電極とソース・ドレイン拡散層の重なり部分の長さは、それぞれ2.0 nm以上であり、かつ、チャネル長の1/2より5 nm以上短いことを特徴とする請求項3・3記載の半導体装置の製造方法。

【発明の詳細な説明】

【00・01】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に、電界効果トランジスタを有する半導体装置及びその製造方法に関する。

【00・02】

【従来の技術】シリコンを用いた集積回路技術は驚くべき速度で発展を続けており、微細化技術の進歩に伴って素子の寸法が縮小され、より多くの素子を1つのチップ内に集積することが可能となり、その結果、より多くの機能を実現されてきた。同時に、素子の微細化に伴う、電流駆動能力の向上と負荷容量の減少により、高速化が達成されてきた。

【00・03】素子の寸法が小さくなるにつれ、ゲート絶縁膜の厚さも減ってきた。素子の更なる微細化は可能ではあるが、従来のゲート絶縁膜材料である二酸化シリコンでは、事実上、限界まで薄膜化が進んでいる。現在使用されている最も薄い二酸化シリコンのゲート絶縁膜の厚さは約2 nmであるが、二酸化シリコンをこれ以上薄膜化すると、直接的トンネル効果によって大きなリーク電流が生じる。リーク電流が大きくなると消費電力が大きくなるばかりでなく、チャネルの反転層に誘起される電荷が減ってしまい、結果として、素子の電流駆動能力が低下してしまう。また、そのような薄い二酸化シリコンは不純物に対する拡散バリアが弱くなるため、ゲート電極からの不純物混入を引き起こす。さらに、そのような薄い二酸化シリコンは、原子の数層から形成されるので、そのような膜を均一性良く、量産するには厳密な製

造技術が必要となる。

【00・04】そこで、更なる素子の微細化と高速化を両立するために、二酸化シリコンより厚く形成されても同等以上の電界効果性能が得られる「高誘電率(high dielectric constant)材料」の開発が精力的に進められている。有力候補となっている材料は、ジルコニア、ハフニアなどのIV族酸化物、アルミナ、イットリアなどのIII族酸化物、これら金属酸化物と二酸化シリコン固溶体であるシリケート等である。IV族酸化物、III族酸化物はSi半導体の初期にゲート絶縁膜として利用された材料である。しかし、二酸化シリコンによるゲート絶縁膜の形成技術が確立された後は、その優れた特性のため、もっぱら二酸化シリコンが用いられてきた。最近の報告としては、例えば、ジルコニアをゲート絶縁膜に用いた電界効果トランジスタはアイ・イー・イー・アイ・イー・ディ・エム・テクノロジータイジェスト1999-145頁(1999 Tech. Digest pp. 145, 1999)に、ハフニアをゲート絶縁膜に用いた電界効果トランジスタは2000シンポジウムオブハイテクノロジータイジェストオブテクニカルペーパーズ(2000 Symposium on VLSI Technology Digest of Technical Papers)にアルミナをゲート絶縁膜に用いた電界効果トランジスタはアイ・イー・イー・アイ・イー・ディ・エム・テクノロジータイジェスト2000-145頁(1999 Tech. Digest pp. 145, 2000)に記載されている。金属シリケートの作製方法は、例えば、特開平11-135774号公報に記載されている。

【00・05】これらのうち、アルミナ以外の材料では、ゲート絶縁膜が結晶化することによる絶縁耐圧の劣化、ゲート絶縁膜とゲート電極との反応、或いは、Si基板ゲート絶縁膜界面での低誘電率層の生成等の問題が発生するため、活性化熱処理等の高温熱処理に耐えられない。また、高誘電率ゲート絶縁膜とメタルゲート電極を組み合わせた構造ではメタル電極の耐熱性が乏しいという問題がある。高温熱処理による劣化を防止する方法としてはダミーゲートを用いたリプレイスメント・ゲートプロセスがある。リプレイスメント・ゲートプロセスについては、例えば米国特許5960270号に記載されている。具体的には、通常のMOSFET製造工程と同様にしてゲート電極パターンを形成した後、ゲート電極パターンをマスクに自己結合的に不純物のイオンインプランテーション、活性化熱処理を行ない拡散層を形成する。このゲート電極は後で剥離するため、ダミーゲートと呼ばれる。ダミーゲートの周囲に層間絶縁膜を形成した後、ダミーゲートを剥離して溝を形成し、この溝の内側にゲート絶縁膜を堆積し、更に、金属材料を埋め込みゲート電極を形成する方法である。この方法を用いるこ

とにより、ゲート電極形成後の熱工程の温度を下げることができる。

【0006】また、特開2001-15746号公報には、ダミーゲート（多結晶シリコン／空化膜の絶縁層）の側壁に空化膜と空化膜の2重サイドウォールを形成し、側壁空化膜とダミーゲート絶縁膜を除去した後、高誘電率ゲート絶縁膜を有する半導体装置の製造方法が開示されている。この方法によっても、結果として空化膜サイドウォール厚分だけ溝が太ることになる。

【0007】

【発明が解決しようとする課題】トランジスタの微細化にともない、短チャネル効果を抑えるために接合深さを浅くしなければならない。例えば、ゲート長が1.00～5.0nmになると接合深さは3.0nm程度まで浅くしなければならなくなる。エクステンションの横方向の拡がりは接合深さの0.6～0.7倍程度であるため、ゲート電極とソース・ドレインの重なり（オーバーラップ）も小さくなってしまう。しかし、図2-3に示すようにオーバーラップが2.0nm以下になるとオン状態のドレイン電流（オン電流）が急激に減少してしまうという問題がある。一方、オーバーラップが大きすぎると、オフ状態で大きな電界の印加されている領域が大きくなるため、オフ電流が大きくなってしまう、短チャネル効果が発生するなどの問題を生じる。このため、微細なトランジスタでは接合深さとオーバーラップ長を精密に制御することが求められている。

【0008】ところが、リフレイスマント・ゲートプロセスで堆積によりゲート絶縁膜を形成する場合、溝の底面と共に側面にも絶縁膜が堆積される。このため、図2-4に示すように、ゲート絶縁膜の膜厚分、ソース・ドレイン・エクステンションがゲート電極からオフセットすることになる。ゲート絶縁膜としてhigh-k材料を用いる場合、その膜厚は3～1.0nm程度になるので、オーバーラップ長の減少によりオン電流が小さくなってしまう。

【0009】また、上記特開2001-15746号公報に記載の従来技術は、側壁空化膜を、キャップ空化膜除去時に空化膜のサイドウォールを保護することを目的としており、ソース・ドレイン・エクステンションとゲート電極のオーバーラップを制御するものではない。つまり、この従来技術には、ソース・ドレイン・エクステンションとゲート電極のオーバーラップを制御するという技術思想がない。それ故、この従来技術には、側壁空化膜の膜厚と、後に形成する高誘電率ゲート絶縁膜の膜厚をほぼ同じにするという技術思想が見られない。

【0010】本発明の目的は、リフレイスマントゲート電極を備えたMISFETであって、高いオン電流を確保できる半導体装置を提供することにある。

【0011】本発明の他の目的は、リフレイスマントゲ

ート電極を備えたMISFETに対して、オーバーラップ長を制御し、オン電流の低下を抑制し得る半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、リフレイスマント・ゲート型電界効果トランジスタを有し、この電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さを2.0nm以上、かつ、チャネル長の1/2より5nm以上短くしたものである。

【0013】また、上記の目的を達成するために、本発明の半導体装置は、半導体基板上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極を含む電界効果トランジスタを有し、このゲート電極の側壁に設けられた絶縁膜を、ゲート絶縁膜に接続し、かつ、同じ材料からなるようにして、さらに、ゲート電極とソース・ドレイン拡散層の重なり部分の長さを2.0nm以上、かつ、チャネル長の1/2より5nm以上短くしたものである。

【0014】これららの半導体装置は、ゲート絶縁膜を高誘電率ゲート絶縁膜とすることが好ましい。

【0015】また、上記の目的を達成するために、本発明の半導体装置は、半導体基板上に、第1の電界効果トランジスタと第2の電界効果トランジスタを設け、第1の電界効果トランジスタのゲート電極の側壁に、ゲート絶縁膜に接続し、かつ、同じ材料からなる第1の絶縁膜を設け、第2の電界効果トランジスタのゲート電極の側壁に第2の絶縁膜を設け、第1の絶縁膜の膜厚と、第2の絶縁膜の膜厚を実質的に同じ厚さになるようにしたものである。

【0016】ここで膜厚が実質的に同じ厚さというのは、プラスマイナス5%の範囲で同じであるものをいう。なお、プラスマイナス3%の範囲で一致すればより好ましい。また、第1の電界効果トランジスタのゲート絶縁膜は、高誘電率ゲート絶縁膜であることが好ましい。また、上記第1及び第2の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さは、それぞれ2.0nm以上であり、かつ、チャネル長の1/2より5nm以上短くすることが好ましい。さらに、第1の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さと、第2の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さを同じにすることが好ましい。

【0017】また、上記の目的を達成するために、本発明の半導体装置は、半導体基板上に、第1の電界効果トランジスタと第2の電界効果トランジスタを設け、第1の電界効果トランジスタをリフレイスマント・ゲート型電界効果トランジスタとし、第1の電界効果トランジスタのゲート電極とソース・ドレイン拡散層の重なり部分の長さを、第2の電界効果トランジスタのゲート電極と

ソース・ドレイン柵散層の重なり部分の長さと同じになるようにしたものである。

【0018】また、上記の目的を達成するために、本発明の半導体装置は、半導体基板上に、第1の電界効果トランジスタと第2の電界効果トランジスタを設け、第1の電界効果トランジスタのゲート電極の側壁に、ゲート絶縁膜に接続し、かつ、同じ材料からなる第1の絶縁膜を設け、第1の電界効果トランジスタのゲート電極とソース・ドレイン柵散層の重なり部分の長さを、第2の電界効果トランジスタのゲート電極とソース・ドレイン柵散層の重なり部分の長さと同じになるようにしたものである。

【0019】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、このダミーゲート電極をマスクに用いて、ソース・ドレインを形成する工程と、ダミーゲート電極の側壁に、第1の側壁スペーサーを形成し、さらに第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極を積うように層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化する工程と、ダミーゲート電極の上面を露出させる工程と、ダミーゲート電極と第1の側壁スペーサーを除去し、側面が第2の側壁スペーサーで、かつ、底面が半導体基板からなる溝部を形成する工程と、半導体基板上に、この溝部の底面及び側面を積うように、第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内にゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0020】このダミーゲート電極の材料と第1の側壁スペーサーの材料は同じであることが好ましい。

【0021】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、このダミーゲート電極の側壁に、第1の側壁スペーサーを形成する工程と、ダミーゲート電極と第1の側壁スペーサーをマスクに用いて、ソース・ドレインを形成する工程と、第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成し、さらに第2の側壁スペーサーの側壁に、第3の側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極を積うように層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化する工程と、ダミーゲート電極の上面を露出させる工程と、ダミーゲート電極と第1、第2の側壁スペーサーを除去する工程と、第3の側壁スペーサーの側壁に、第4の側壁スペーサーを形成する工程と、第4の側壁スペーサーの側壁に、半導体基板を露出させる工程と、側面が第4の側壁スペーサー、かつ、底面が半導体基板からなる溝部に、第2の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積し、溝部の底面及び側面を積

うようにする工程と、この溝部内にゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0022】第1の側壁スペーサーと第4の側壁スペーサーの膜厚が実質的に同じであることが好ましい、また、ダミーゲート電極の材料と、第1及び第2の側壁スペーサーの材料が同じであることが好ましい。

【0023】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、このダミーゲート電極をマスクに用いて、ソース・ドレインを形成する工程と、ダミーゲート電極の側壁に側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極を積うように層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化する工程と、ダミーゲート電極の上面を露出させる工程と、ダミーゲート電極を除去する工程と、側壁スペーサーの側壁の一部を削る工程と、側壁スペーサーの間の部分の半導体基板を露出させ、側面が側壁スペーサー、かつ、底面が上記半導体基板からなる溝部を形成する工程と、この溝部の底面及び側面を積うように、上記側壁スペーサーの側壁の一部を削る工程により削られた側壁スペーサーの厚さと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内にゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0024】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、このダミーゲート電極をマスクに用いて、ソース・ドレインを形成する工程と、ダミーゲート電極の側壁に、第1の側壁スペーサーを形成し、さらに第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極を積うように層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化し、ダミーゲート電極の上面を露出させると共に、第1及び第2の側壁スペーサーの上部を削る工程と、ダミーゲート電極と第1の側壁スペーサーを除去し、側面が第2の側壁スペーサーで、かつ、底面が半導体基板からなる溝部を形成する工程と、半導体基板上に、この溝部の底面及び側面を積うように、第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内にゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0025】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上のゲート電極が形成される領域にダミーゲート電極を形成する工程と、このダミーゲート電極をマスクに用いて、イオン注入を斜めから行ない、ソース・ドレインを形成する工程と、ダミーゲート電極の側壁に、第1の側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極を積うように層間絶縁膜を形成する工程と、層間絶縁膜を

絶縁膜の上面を平坦化する工程と、ダミーゲート電極の上面を露出させる工程と、ダミーゲート電極を除去し、側面が第1の側壁スペーサーで、かつ、底面が半導体基板からなる溝部を形成する工程と、半導体基板上に、溝部の底面及び側面を覆うように、第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内にゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0026】上記イオン注入は、半導体基板に対して垂直から10度～20度の範囲の角度で斜めに行なうことが好ましい。

【0027】上記の半導体装置の製造方法において、何れも膜の厚さが実質的に同じ厚さというのは、プラスマイナス5%の範囲で同じであるものをいう。なお、プラスマイナス3%の範囲で一致すればより好ましい。また、溝部内に埋め込まれたゲート電極とソース・ドレイン拡散層の重なり部分の長さは20nm以上であり、かつ、チャネル長の1/2より5nm以上短いことが好ましい。

【0028】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、この第1導電型の領域に第2のゲート電極を形成する工程と、このダミーゲート電極及び第2のゲート電極をマスクに用いて、ソース、ドレインを形成する工程と、ダミーゲート電極及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成し、さらに第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極及び第2のゲート電極を覆うように、層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化する工程と、ダミーゲート電極の上面を露出させる工程と、ダミーゲート電極とその側壁の上記第1の側壁スペーサーを除去し、側面が第2の側壁スペーサーで、かつ、底面が上記半導体基板からなる溝部を形成する工程と、半導体基板上に、溝部の底面及び側面を覆うように、第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内に第1のゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0029】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、この第1導電型の領域に第2のゲート電極を形成する工程と、ダミーゲート電極及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成する工程と、ダミーゲート電極とその第1の側壁スペーサー及び第2のゲート電極とその第1の側壁スペーサーをそれぞれマスクに用いて、ソース、ドレインを形成する工程と、ダミーゲート電極の第1の側壁スペーサーの側壁及び第2のゲート電極の第1の側壁スペー

サーの側壁に、それぞれ第2の側壁スペーサーを形成し、さらに第2の側壁スペーサーの側壁に、それぞれ第3の側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極及び第2のゲート電極を覆うように、層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化する工程と、ダミーゲート電極の上面を露出させる工程と、ダミーゲート電極とその側壁の第1、第2の側壁スペーサーを除去する工程と、ダミーゲート電極の側壁の第3の側壁スペーサーの側壁に、第4の側壁スペーサーを形成する工程と、第4の側壁スペーサーの側の部分の半導体基板を露出させる工程と、側面が第4の側壁スペーサーで、かつ、底面が半導体基板からなる溝部に、第2の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積し、この溝部の底面及び側面を覆うようにする工程と、溝部内に第1のゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0030】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、この第1導電型の領域に第2のゲート電極を形成する工程と、ダミーゲート電極及び第2のゲート電極をマスクに用いて、ソース、ドレインを形成する工程と、ダミーゲート電極及び第2のゲート電極の側壁に、それぞれ側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極及び第2のゲート電極を覆うように、層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化する工程と、ダミーゲート電極の上面を露出させる工程と、ダミーゲート電極を除去する工程と、ダミーゲート電極の側壁スペーサーの側の部分を削る工程と、ダミーゲート電極の側壁スペーサーの側の部分の半導体基板を露出させ、側面が側壁スペーサー、かつ、底面が上記半導体基板からなる溝部を形成する工程と、この溝部の底面及び側面を覆うように、側壁スペーサーの側の部分を削る工程により削られた側壁スペーサーの厚さと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内に第1のゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0031】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にダミーゲート電極を形成し、この第1導電型の領域に第2のゲート電極を形成する工程と、ダミーゲート電極及び第2のゲート電極をマスクに用いて、ソース、ドレインを形成する工程と、ダミーゲート電極及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成し、さらに第1の側壁スペーサーの側壁に、第2の側壁スペーサーを形成する工程と、半導体基板上に、ダミーゲート電極及び第2のゲート電極を覆うように、層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化し、ダミーゲート電極の上面を露出させると共に、第1及び第2の

側壁スペーサーの上部を削る工程と、タミーゲート電極と第1の側壁スペーサーを除去し、側面が第2の側壁スペーサーで、かつ、底面が半導体基板からなる溝部を形成する工程と、半導体基板上に、この溝部の底面及び側面を覆うように、第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内にゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0032】また、上記の他の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板の第1導電型の領域の第1のゲート電極が形成される領域にタミーゲート電極を形成し、この第1導電型の領域に第2のゲート電極を形成する工程と、タミーゲート電極及び第2のゲート電極をそれぞれマスクに用いて、イオン注入を斜めから行ない、ソース・ドレインを形成する工程と、タミーゲート電極の側壁及び第2のゲート電極の側壁に、それぞれ第1の側壁スペーサーを形成する工程と、半導体基板上に、タミーゲート電極及び第2のゲート電極を覆うように層間絶縁膜を形成する工程と、層間絶縁膜の上面を平坦化する工程と、タミーゲート電極の上面を露出させる工程と、タミーゲート電極を除去し、側面がタミーゲート電極の側壁の第1の側壁スペーサーで、かつ、底面が半導体基板からなる溝部を形成する工程と、半導体基板上に、この溝部の底面及び側面を覆うように、第1の側壁スペーサーと実質的に同じ厚さの高誘電率ゲート絶縁膜を堆積する工程と、溝部内に第1のゲート電極を埋め込み形成する工程とを含むようにしたものである。

【0033】これらの半導体装置の製造方法において、第1導電型の領域とは、N型の領域であっても、P型の領域であってもよい。また、何れも膜の厚さが実質的に同じ厚さというものは、プラスマイナス5%の範囲で同じであるものをいう。なお、プラスマイナス3%の範囲で一致すればより好ましい。また、第1及び第2のゲート電極とソース・ドレイン拡散層の重なり部分の長さは、それぞれ20nm以上であり、かつ、チャネル長の1/2より5nm以上短いことが好ましい。また、第1及び第2のゲート電極とソース・ドレイン拡散層の重なり部分の長さは、同じであることが好ましい。

【0034】

【発明の実施の形態】実施の形態1

図8は本発明の第一の実施の形態による電界効果トランジスタを示す完成断面図であり図2から図7がその製造工程の模式図である。

【0035】まず、図2に示すように、面方位(100)、P導電型、直径20.0μmの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域2の形成、基板温度調整用のP導電型イオンの注入と引き延ばし熱処理及び開電圧調整用イオン注入と活性化熱処理を従来公知の手法により施した後、熱酸化膜21を10nm形成した。次に上記熱酸化膜21の上に、非晶質のノンドープSi膜22を100nm堆積した後、シリコン空化膜23を50nm堆積した。

【0036】その後、従来公知のリソグラフィ法及びエッチング法を用いて、図3に示すようなタミーゲート電極22を形成した。タミーゲート電極22を形成後、Asイオンをエネルギー3keV、ドーズ量3×1015/cm2のイオン注入し、ソース・ドレイン・エクステンション3:1を形成した。続いてBのイオン注入を施してパンチスル-防止のためのP導電型パンチスル-防止拡散層32とした。

【0037】次に薄い非晶質ノンドープSi膜を後に堆積する高誘電率ゲート絶縁膜とほぼ同じ厚さだけ堆積し、エッチパラクすることにより第1の側壁スペーサー41によりタミーゲート電極を高誘電率ゲート絶縁膜の膜厚分だけ太らせる。このとき非晶質ノンドープSi膜の膜厚と後に堆積する高誘電率ゲート絶縁膜の膜厚は、プラスマイナス5%以内の差で同じ厚さであることが好ましく、プラスマイナス2%以内の差で同じ厚さであることより好ましい。これは以下の実施の形態においても同様である。

【0038】続いて、シリコン空化膜を全面に堆積した後、異方性ドライエッチングによりタミーゲート電極22の側壁部にのみ選択的に残置させて第2の側壁スペーサー42とした。上記第2の側壁スペーサー42をイオン注入阻止マスクとしてイオン注入を行い、1.05.0°C、1秒の条件で注入イオンの活性化熱処理を施しN型高濃度ソース・ドレイン拡散層43を形成した(図4)。次に、厚いシリコン酸化堆積膜51を全面に形成した後、その表面を化学的機械的研磨により平坦化する。このときシリコン空化膜23をストップとして、その上面を露出させ、その後、シリコン空化膜23を熱磷酸によるウエットエッチングにより除去する(図5)。

【0039】次に、タミーゲート電極22と第1の側壁スペーサー41を選択的に除去し、希フッ酸を用いて熱酸化膜21の露出部を除去し、開口部61を形成した(図6)。ここでチャネルイオンの注入を行ない、チャネル部のみ基板温度を調整することも可能である。

【0040】次に、開口部61に高誘電率ゲート絶縁膜71を、化学気相蒸着法によって堆積した。高誘電率ゲート絶縁膜71としては、ZrO2又はHfO2を用いた。成膜にあたっては、高誘電率ゲート絶縁膜71が非晶質の状態になる条件で堆積した。また、上記高誘電率ゲート絶縁膜71の膜厚は5nmとなるように堆積時間を調整した。引き続きゲート電極としてTiN72とAl電極73をそれぞれ1.0nm、250nm程度堆積する(図7)。全面を化学的機械的研磨により平坦化し、埋め込み加工トランジスタ構造を形成した。次に、厚いシリコン酸化堆積膜81を全面に形成した後、所望領域

に開口を施してから配線金属の拡散障壁材としてのTiN膜8'2と配線金属としてのW膜8'3を堆積し、その平坦化研磨により開口部分のみに選択的にW膜を残留した(図8)。最後に、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングにより配線を形成し、電界効果トランジスタを製造した。

【0041】以上のように、本発明により作製したMISFETでは、ソース・ドレイン・エクステンション3'1とゲート電極のオーバーラップは、タミーゲート電極2'2に対するオーバーラップと同じ25nmに保たれており、オーバーラップ長の減少による抵抗の増大とオシ電流の減少はなかった。

【0042】実施の形態2

本発明の第二の実施の形態による電界効果トランジスタの製造工程を図9から図11を用いて説明する。本実施の形態はトランジスタのゲート長に対してソース・ドレイン・エクステンションの接合が深すぎるためにオーバーラップ長を調整したい場合に有効である。本実施の形態では、チャネル長8.0nmのトランジスタについてオーバーラップ長を1.0nm短くしたい場合を例として示す。

【0043】まず、面方位(100)、P導電型、直徑200mの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域2の形成、基板温度調整用のP導電型イオンの注入と引き延ばし熱処理及び閾電圧調整用イオン注入と活性化熱処理を従来公知の手法により施した後、熱酸化膜2'1を5nm形成する。次に上記熱酸化膜2'1の上に、非品質ノンドープSi膜を1.0nm堆積した後、シリコン空化膜2'3を5.0nm堆積した。その後、従来公知のリソグラフィ法及びエッチング法を用いてタミーゲート電極2'2を形成した。

【0044】次に非品質のノンドープSi膜を堆積し、エッチバックすることにより第1の側壁スペーサー9'1を形成する。ここでノンドープSi膜の厚さはオーバーラップ長の調整値と同じにする。本実施の形態では非品質のノンドープSi膜を1.0nm堆積した。

【0045】Asイオンをエネルギー3KeV、ドーズ量3×10¹⁵/cm²のイオン注入し、ソース・ドレイン・エクステンション3'1を形成した。続いて日のイオン注入を施してパンチスルーアンチストップ防止のためのP導電型パンチスルーアンチストップ3'2とした。タミーゲート電極2'2と第1の側壁スペーサー9'1をマスクにイオン注入を行なうことによりタミーゲート電極とソース・ドレイン・エクステンションのオーバーラップ長が第1の側壁スペーサー9'1の厚さ分だけ小さくなる(図9)。

【0046】次に非品質のノンドープSi膜を、後に堆積する高誘電率ゲート絶縁膜とほぼ同じ厚さだけ堆積し、エッチバックすることにより第2の側壁スペーサー1'0'1を形成する。続いて、シリコン空化膜を全面に堆積した後、異方性ドライエッチングによりタミーゲート

電極の側壁部にのみ選択的に残留させて第3の側壁スペーサー1'0'2とした。上記第3の側壁スペーサー1'0'2をイオン注入阻止マスクとしてイオン注入を行ない、1.0.0°C、10秒の条件で注入イオンの活性化熱処理を施し、N型高誘電率ソース・ドレイン拡散層1'0'3を形成した(図10)。

【0047】次に、厚いシリコン空化堆積膜1'1'1を全面に形成した後、その表面を化学的機械的研磨により平坦化する。このときシリコン空化膜2'3をストッパーとして、その上面を露出させ、その後、シリコン空化膜2'3を熱酸化によるウエットエッチングにより除去する。

引き続き、タミーゲート電極2'2、第1の側壁スペーサー9'1及び第2の側壁スペーサー1'0'1を選択的に除去する。次に、第1の側壁スペーサーとほぼ同じ膜厚のシリコン空化膜を全面に堆積した後、異方性ドライエッチングを行ない、第4の側壁スペーサー1'1'2とした(図11)。

【0048】次に、希フッ酸を用いて熱酸化膜2'1の露出部を除去する。ここでチャネル部のみ基板温度を調整することも可能である。

【0049】後は、実施の形態1と同様にして高誘電率ゲート絶縁膜、ゲート電極を堆積し、全面を化学的機械的研磨により平坦化して埋め込み加工トランジスタ構造を形成する。最後に、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングにより配線を形成し、電界効果トランジスタを製造した。

【0050】以上のような製造工程を用いることにより、微細MISFETにおいてもソース・ドレイン・エクステンションとゲート電極のオーバーラップを適正に制御し、短チャネル効果を抑えながら大きなオン電流を確保することができる。本実施の形態による活性加熱処理後のソース・ドレイン・エクステンションのオーバーラップ長は2.5nmであった。第1の側壁スペーサー9'1を用いてオーバーラップ長を調整しない場合、オーバーラップ長は3.5nmとなり、実効チャネル長は1.0nm程度になってしまうため、本実施の形態の基板の不純物ノードでは、スイッチング特性が劣化し、オフ電流が大きくなってしまうが、本実施の形態によれば良好なスイッチング特性が得られた。

【0051】実施の形態3

図1は、本発明の第三の実施の形態による電界効果トランジスタを示す断面図であり、図12から図17がその製造工程の模式図である。本実施の形態はリブライスマント・ゲートMISFETと従来のMOSFETが混在したLSIの製造に有効である。

【0052】まず、面方位(100)、P導電型、直徑200mの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域2を形成し、基板温度調整用のP導電型イオンの注入と引き延ばし熱処理及び閾

電圧調整用イオン注入と活性化熱処理を従来公知の手法により施した後、熱酸化膜11を3 nm形成した。熱酸化膜11は従来構造MOSFETのゲート酸化膜として用いられる。次に上記熱酸化膜11の上に、非晶質のソンドープSi膜12を1.00 nm堆積し、公知のホトリソグラフィを用いて従来構造のN型MOSFETを作製する領域のソンドープSi膜12にリンをイオン注入した(図12)。

【0053】次に、一旦、レジストを除去し、同様にして、従来構造のP型MOSFETを作製する領域のノンドープSi膜12にボロンをイオン注入する。950°C、60秒の熱処理を行った後、シリコン酸化膜13を50nm堆積した。その後、従来公知のリソグラフィ法及びエッチング法を用いて、ゲート電極を形成した。

【0054】ゲート電極形成後、N型MOSFETを作製する領域にAをイオンをイオン注入しソース・ドレイン・エクステンション131を形成した後、Bのイオン注入を施してパンチスルーアンチエイジング層132とした。引き続きP型MOSFETを作製する領域にBF2イオンをイオン注入しソース・ドレイン・エクステンション133を形成した。続いてリンのイオン注入を施してパンチスルーアンチエイジング層134とした(図13)。従来構造のMOSFETとリプレイスメント・ゲートMOSFETで拡散層の不純物分布を変える必要がある場合は、ここでホトリソグラフィを用いて、それぞれ最適の条件でイオン注入を行なう。

【0055】次に化学気相蒸着法によってシリコン酸化膜を高誘電率ゲート絶縁膜と同じ厚さだけ堆積し、エッチバックすることにより第1の側壁スペーサー14-1を形成する。統いて、シリコン変化膜を全面に堆積した後、異方性ドライエッチングによりゲート電極の側壁部にのみ選択的に残置させて第2の側壁スペーサー14-2とした。N型高温度ソース・ドレイン拡散層14-3及びP型高温度ソース・ドレイン拡散層14-4のイオン注入を行った後、1050°C、1秒の条件で注入イオンの活性化熱処理を施した(図14)。

【0056】次に、厚いシリコン酸化堆積膜51を全面に形成した後、その表面を化学的機械的研磨により平坦化する。このときシリコン空化膜13をストップーとして、その上面を露出させる。公知のホトリソグラフィを用いてレジスト151をマスクにリブレイスマント・ゲートMISFETを作製する領域のシリコン空化膜13を熱焼酸によるウエットエッチングにより除去する(図15)。

【0057】引き続き、ダミーゲート電極を選択的に除去し、更に、希フッ酸を用いて熱酸化膜11の露出部を除去し、開口部161を形成した(図16)。このとき、第1の側壁スペーサー141も同時に除去される。ここでチャネルイオンの注入を行ない、リフレイスマント・

ゲートM.I.S.F.E.Tのチャネル部のみ基板温度を調整することも可能である。次に、高誘電率ゲート絶縁膜7.1を、化学気相熱着法によって堆積した。高誘電率ゲート絶縁膜7.1としては、ZrO₂又はHfO₂を用いた。成膜にあたっては、高誘電率ゲート絶縁膜7.1が非晶質の状態になる条件で堆積した。また、上記高誘電率ゲート絶縁膜7.1の膜厚は5nmとなるように堆積時間を調整した。引き続ぎゲート電極としてT₁N7.2とAl電極7.3をそれぞれ10nm、250nm程度堆積する(図1.7)。全面を化学的機械的研磨により平坦化し、埋め込み加工トランジスタ構造を形成した後、厚いシリコン酸化堆積膜3を全面に形成して、所望領域に開口を施してから配線金属の拡散障壁材としてのT₁N膜4と配線金属としてのW膜5を堆積し、その平坦化研磨により開口部分のみに選択的にW膜を残置した(図1.8)。最後に、所望回路構成に従いアルミニュームを主材料とする金属膜の堆積とそのパターニングにより配線を形成し、電界効果トランジスタを製造した。

【0058】従来のリプレイスメント・ゲートMISFETの製造方法によりリプレイスメント・ゲートMISFETと従来のMOSFETが混在した半導体装置を作製した場合には、リプレイスメント・ゲートMISFETのソース・ドレイン・エクステンションとゲート電極のオーバーラップがゲート絶縁膜の膜厚分減少してしまったため、オン電流が取れなくなるという問題があった。本発明により作製した半導体装置では、リプレイスメント・ゲートMISFETと従来のMOSFETでソース・ドレイン・エクステンションとゲート電極のオーバーラップが共に25nm程度であり、MISFETにおけるオーバーラップ長の減少による抵抗の増大とオン電流の減少という問題が解決される。

【005.9】実施の形態

本実施の形態では本発明の目的を達成する別の方針である。タミーゲート除去後、高誘電率ゲート絶縁膜の膜厚分だけエッチングで溝を太らせる工程による垂界効果トランジスタの製造工程を図18と図19を用いて説明する。

【00:50】素子間分離絶縁領域、ダミーゲート電極を形成後、ソース・ドレイン：エクステンション、P導電型パンチスルー防止拡散層のイオン注入を行ない図3の構造を得るところまでは第1の実施の形態と同様である。

【0061】次に、シリコン空化膜を全面に堆積した後、異方性ドライエッチングによりタミーゲート電極の側壁部にのみ選択的に残置させてタミーゲート側壁絶縁膜181とした。上記タミーゲート側壁絶縁膜181をイオン注入阻止マスクとしてN型高導度ソース・ドレイン拡散層43を形成した後、1000°C、10秒の条件で注入イオンの活性化熱処理を施した(図18)。

【00:6:2】 次に、厚いシリコン酸化堆積膜5-1を全面

に形成した後、その表面を化学的機械的研磨により平坦化する。シリコン窒化膜23をストッパーとして、その上面を露出させ、その後シリコン窒化膜23を熱酸素によるウエットエッチングにより除去し、さらに、ダミーゲート電極22を選択的に除去する。

【0063】ここでダミーゲート側壁絶縁膜1-8-1を等方性ドライエッチングにより、後に堆積する高誘電率ゲート絶縁膜とほぼ同じ厚さだけエッチングすることにより、開口部の幅を広げた。本実施の形態では1.0%C F4/O2の混合ガスを用いて20nm/minで5nmのエッチングを行なった。この工程でシリコン酸化堆積膜5-1及び熱酸化膜21が約1nm削れた(図1-9)。

【0064】次に、希フッ酸を用いて熱酸化膜21の露出部を除去する。ここでチャネルイオンの注入を行ない、チャネル部のみ基板速度を調整することも可能である。

【0065】後は、実施の形態1と同様にして高誘電率ゲート絶縁膜、ゲート電極を堆積し、全面を化学的機械的研磨により平坦化して埋め込み加工トランジスタ構造を形成する。

【0066】以上のような製造工程を用いることにより、ダミーゲート側壁を用いることなく、ソース・ドレイン・エクステンションとゲート電極のオーバーラップを、ダミーゲート電極に対するオーバーラップと同じ25nmに保ち、オーバーラップ長の減少による抵抗の増大とオン電流の減少を防止することができる。

【0067】実施の形態5

本発明の第五の実施形態による電界効果トランジスタの製造工程を図20から図22を用いて説明する。上記の実施形態ではダミーゲート材料として非品質シリコンを用いたが、本実施形態ではシリコン窒化膜を用いることにより工程数を減らしている。

【0068】まず、面方位(100)、P導電型、直徑2.0cmの単結晶Siよりなる半導体基板1に活性領域を画定する素子間分離絶縁領域2の形成、基板速度調整用のP導電型イオンの注入と引き延ばし熱処理及び開電圧調整用イオン注入と活性化熱処理を従来公知の手法により施した後、熱酸化膜21を5nm形成した。次に上記熱酸化膜21の上に、シリコン窒化膜20-1を1.50nm堆積した後、シリコン酸化膜20-2を5.0nm堆積した。その後、従来公知のリソグラフィ法及びエッチング法を用いて、図20に示すようなダミーゲート電極を形成した。

【0069】ダミーゲート電極形成後、Asイオンをエネルギー3keV、ドース量3×10¹⁵/cm²のイオン注入し、ソース・ドレイン・エクステンション3-1を形成した。統いてBのイオン注入を施してパンチホール防止のためのP導電型パンチホール防止抵散層3-2とした。次に薄いシリコン窒化膜を後に堆積する高誘電率ゲート絶縁膜とほぼ同じ厚さだけ堆積し、エッチパック

することにより第1の側壁スペーサー2-1-1を形成する。統いて、シリコン酸化膜を全面に堆積した後、異方性ドライエッチングによりダミーゲート電極の側壁部にのみ選択的に残留させて第2の側壁スペーサー2-1-2とした。上記第2の側壁スペーサー2-1-2をイオン注入阻止マスクとしてイオン注入を行ない、1050°C、1秒の条件で注入イオンの活性化熱処理を施しN型高温度ソース・ドレイン抵散層4-3を形成した(図21)。

【0070】次に、厚いシリコン酸化堆積膜5-1を全面に形成した後、その表面を化学的機械的研磨により平坦化し、ダミーゲート電極の上面を露出させる。第1の側壁スペーサー2-1-1の材質はシリコン窒化膜であるが面積が小さいのでストッパーにはならずダミーゲート電極のシリコン窒化膜20-1まで研磨されることになる(図22)。前記実施の形態では側壁スペーサーの肩の部分のために開口部1-1がオーバーハング形状となり、高誘電率ゲート絶縁膜を埋め込む工程に支障をきたす可能性があるため、この研磨工程でのオーバー研磨量を調整する必要があるが、本実施の形態では側壁スペーサーの肩の部分は完全に除去されるのでオーバーハング形状になることはない。

【0071】その後、シリコン窒化膜20-1と第1の側壁スペーサー2-1-1を熱酸素によるウエットエッチングにより除去し、さらに、希フッ酸を用いて熱酸化膜21の露出部を除去し、開口部を形成した。ここでチャネルイオンの注入を行ない、チャネル部のみ基板速度を調整することも可能である。

【0072】後は、実施の形態1と同様にして高誘電率ゲート絶縁膜、ゲート電極を堆積し、全面を化学的機械的研磨により平坦化して埋め込み加工トランジスタ構造を形成する。最後に、所望回路構成に従いアルミニニウムを主材料とする金属膜の堆積とそのパターニングにより配線を形成し、電界効果トランジスタを製造した。

【0073】以上のような製造工程を用いることにより、ダミーゲート電極除去工程におけるウエットエッチングを1回減らすことができ、また、ダミーゲート電極を除去した後の開口部がオーバーハング形状となり高誘電率ゲート絶縁膜を埋め込む工程に支障をきたすことを防止できる。

【0074】実施の形態6

本実施の形態では本発明の目的を達成する別な方法を図2-5と図2-6を用いて説明する。素子間分離絶縁領域2、ダミーゲート電極2-2、シリコン窒化膜23を形成するところまでは実施の形態1と同様である。ここでソース・ドレイン・エクステンション3-1のイオン注入を斜めから行なうことにより、ダミーゲート電極とソース・ドレイン・エクステンションのオーバーラップ長を大きくしておく。発明者らの検討によると、基板に対して垂直から10度から20度の角度でイオン注入を行なうことにより、垂直にイオン注入を行なった場合と比べて

オーバーラップ長を5nm大きくすることができる(図2'5)。

【0075】引き続きP導電型パンチスルーアンチエミッション層3'2のイオン注入を行なう。次に、シリコン空化膜を全面に堆積した後、異方性ドライエッチングによりダメージート側壁絶縁膜2'6'1とした。

【0076】上記ダメージート側壁絶縁膜2'6'1をイオン注入阻止マスクとしてN型高温度ソース・ドレイン拡散層4'3を形成した後、1000°C、10秒の条件で注入イオンの活性化熱処理を施した。次に、厚いシリコン空化膜堆積膜5'1を全面に形成した後、その表面を化学的機械的研磨により平坦化する。このときシリコン空化膜2'3をストリッパーとして、ダメージート電極2'2の上面を露出させ、その後、シリコン空化膜2'3を熱焼結によるウエットエッチングにより除去し、さらに、ダメージート電極2'2を選択的に除去する(図2'6)。

【0077】次に、希フッ酸を用いて熱酸化膜2'4の露出部を除去する。ここでチャネルイオンの注入を行ない、チャネル部のみ基板温度を調整することも可能である。

【0078】後は実施の形態1と同様にして高誘電率ゲート絶縁膜、ゲート電極を堆積し、全面を化学的機械的研磨により平坦化して埋め込み加工トランジスタ構造を形成する。

【0079】以上のような製造工程により、ダメージート側壁を用いることなく、ソース・ドレイン・エクステンションとゲート電極のオーバーラップを、ダメージート電極に対するオーバーラップとほぼ同じ寸法に保ち、オーバーラップ長の減少による抵抗の増大とイオン電流の減少を防止することができる。本実施の形態を、実施の形態3で述べたように従来構造のトランジスタとリプレイスメント・ゲート・トランジスタが混在する表子に用いる場合には、公知のホトリソグラフィを用いてソース・ドレイン・エクステンション用イオン注入工程を従来構造のトランジスタとリプレイスメント・ゲート・トランジスタについて別々に分けて行なう。リプレイスメント・ゲート・トランジスタのソース・ドレイン・エクステンション用イオン注入工程のみ斜めイオン注入を行ない、従来構造のトランジスタのソース・ドレイン・エクステンション用イオン注入工程は垂直イオン注入で行なえばよい。

【0080】なお、本発明は上記実施の形態に限定されるものではない。例えば、上記実施の形態では、高誘電率ゲート絶縁膜として、ZrO₂膜、HfO₂膜を用いたが、高誘電率ゲート絶縁膜の材料はこれらに限らず、アルミナ(Al₂O₃)、酸化ランタン膜(La₂O₃)、酸化プラセオジム(Pr₂O₃)、酸化イットリウム(Y₂O₃)、酸化タンタル(Ta₂O₅)、酸化ニオブ(Nb₂O₅)、酸化チタン(TiO₂)、

酸化セリウム(CeO₂)等の金属酸化物、それらの固溶体、それら金属酸化物とSiO₂の固溶体、チタン酸ストロンチウムバリウム鉄((BaSr)TiO₃)等のチタン酸塩等を用いることが可能である。また、上記実施の形態ではn型リプレイスメント・ゲートMISFETについてのみ説明したが、p型MISFETについても同様の製造工程により製造できる。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能であることは言うまでもない。

【0081】

【発明の効果】本発明によれば、リプレイスメント・ゲート型MISFETにおいて、オーバーラップ長の減少による抵抗の増大とイオン電流の減少を防止することができる。さらに、本発明によれば、リプレイスメント・ゲートMISFETと従来のMOSFETが混在した場合、ソース・ドレイン・エクステンションとゲート電極のオーバーラップを従来のMOSFETとほぼ同じにすることが可能となる。

【図面の簡単な説明】

【図1】本発明の第3の実施形態に係る半導体装置の要部断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図4】本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図5】本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図6】本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図7】本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図8】本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図9】本発明の第2の実施形態に係る半導体装置の製造工程を示す断面図である。

【図10】本発明の第2の実施形態に係る半導体装置の製造工程を示す断面図である。

【図11】本発明の第2の実施形態に係る半導体装置の製造工程を示す断面図である。

【図12】本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図13】本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図14】本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図15】本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図16】本発明の第3の実施形態に係る半導体装置の

製造工程を示す断面図である。

【図17】本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図18】本発明の第4の実施形態に係る半導体装置の製造工程を示す断面図である。

【図19】本発明の第4の実施形態に係る半導体装置の製造工程を示す断面図である。

【図20】本発明の第5の実施形態に係る半導体装置の製造工程を示す断面図である。

【図2-1】: 本発明の第5の実施形態に係る半導体装置の
製造工程を示す断面図である。

【図22】本発明の第5の実施形態に係る半導体装置の製造工程を示す断面図である。

【図2-3】トライン電流のソース・トライン抵抗層とケーブル重合のオーバーラップ特性を説明する回路である。

「危険の手」の「危険性」は、危険性をもつてゐる事である。

【図24】従来例を説明するための半導体装置の要部断面図

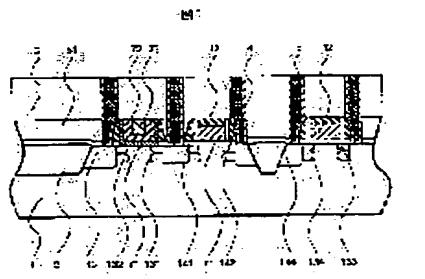
【図2-5】本発明の第5の実施形態に係る半導体装置の

【図2.6】本発明の第6の実施形態に係る半導体装置の

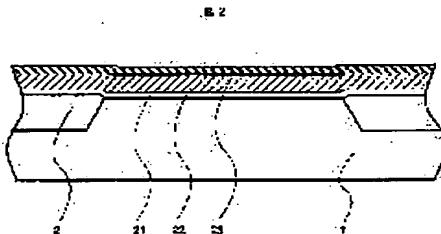
【符号の説明】

1…半導体基板、2…素子間分離絶縁領域、3…シリコン酸化堆積膜、4…TiN膜、5…W膜、2.1…熱酸化膜、2.2…ダメーベート電極(非晶質のノンドープSi)

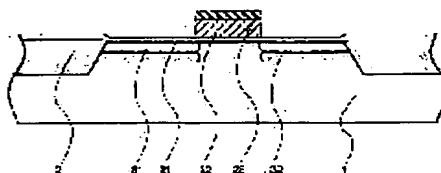
11



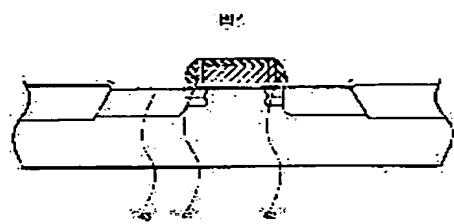
[図2]



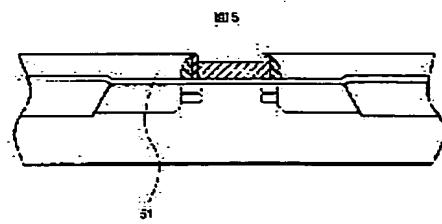
〔圖3〕



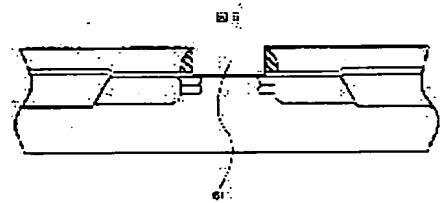
【図4】



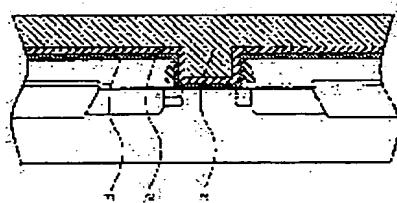
【図5】



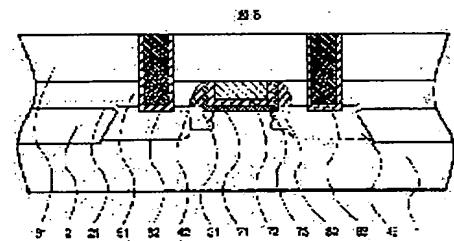
【図6】



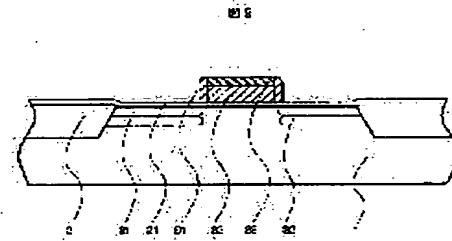
【図7】



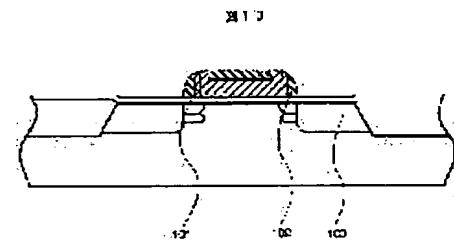
【図8】



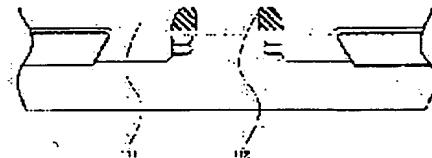
【図9】



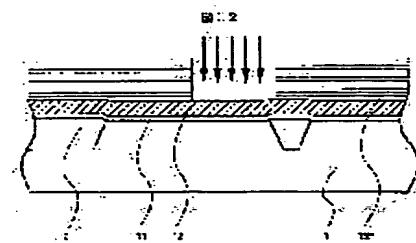
【図10】



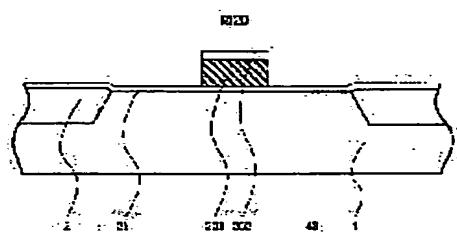
【図11】



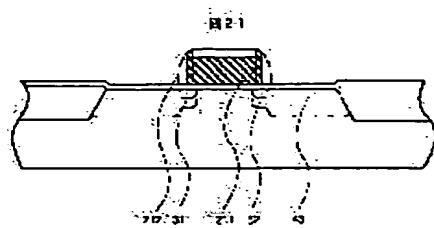
【図12】



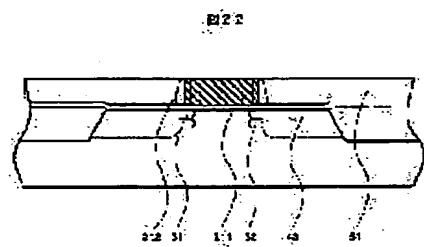
[図2.0]



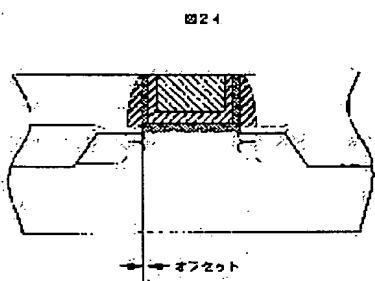
[図2.1]



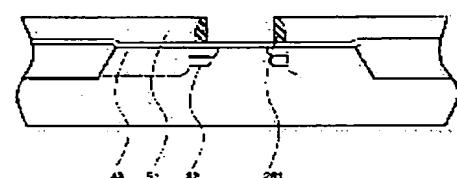
[図2.2]



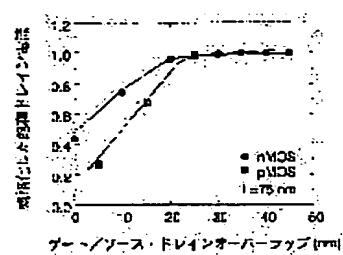
[図2.4]



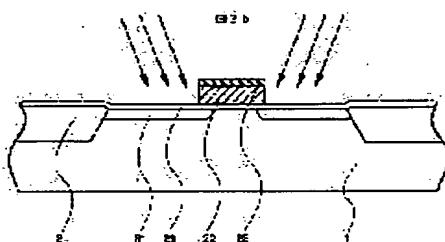
[図2.6]



[図2.3]



[図2.5]



フロントページの統一

(51) Int. Cl. 7
H 01 L 29/43

識別記号

F 1

テマコード (参考)

(72) 発明者 尼内・勝忠
東京都国分寺市東志ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 尼内・亨裕
東京都国分寺市東志ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 4M104 AA01 BB01 BB02 BB30 BB40
CC01 CC05 DD03 DD04 DD16
DD75 DD91 EE09 EE12 EE16
EE17 FF18 FF22 GG08 GG09
HH20
SF048 AC01 AC03 BA01 BA10 BB04
BB06 BB07 BB10 BB11 BB12
BB13 BC05 BD04 BF01 BF02
BG14 DA25 DA27 DA30
SF140 AA18 AA29 AA39 AB01 AB03
BA01 BA20 BC06 BD11 BD12
BD13 BE03 BE10 BF10 BF11
BF15 BG03 BG05 BG08 BG14
BG36 BG40 BG53 BH36 BJ27
BK02 BK05 BK13 BK14 BK21
CA02 CE07 CE20